**Relatório – “Cobrinha”**

Gustavo Ortega Persek - RA: 10390098

João Pedro Iacovino – RA:

Caio Batistoni Costa – RA:

**Objetivo:**

Desenvolver um projeto em VHDL para a placa Basys 3, utilizando o display de 7 segmentos para implementar um jogo da cobrinha.

**Introdução:**

O display de 7 segmentos da Basys 3 permite criar contadores, cronômetros, animações, jogos simples, indicar estados de sistemas e exibir valores de sensores ou mensagens. Ele utiliza codificação binária para ativar segmentos e multiplexação para controlar vários displays, possibilitando aplicações dinâmicas e interativas.

**Desenvolvimento:**

O projeto foi implementado em VHDL utilizando a placa Basys 3. O display de 7 segmentos foi configurado para representar uma cobrinha rodando no display, alternando entre os quatro displays disponíveis com a opção de stop. A movimentação é controlada por dois botões: um para avançar ao próximo display e outro para fazer o stop.

**Código:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.NUMERIC\_STD.ALL;

entity ATV\_1 is

Port ( clk : in STD\_LOGIC;

botao: in std\_logic;

botao\_display: in std\_logic;

led\_pausa: out std\_logic;

an : out STD\_LOGIC\_VECTOR (3 downto 0);

segiment : out STD\_LOGIC\_VECTOR (6 downto 0));

end ATV\_1;

architecture Behavioral of ATV\_1 is

signal clk2: std\_logic := '0';

signal cont: integer range 0 to 9999999 := 0;

signal cobrinha: integer range 0 to 10 := 0;

signal pausa: std\_logic := '0';

signal numero\_display: integer range 0 to 10 := 0;

begin

-- Divisor de clock

process(clk)

begin

if rising\_edge(clk) then

cont <= cont + 1;

if cont >= 9999999 then

cont <= 0;

clk2 <= not clk2;

end if;

end if;

end process;

-- Controle de pausa com o botão

process(clk)

begin

if rising\_edge(clk) then

if botao='1' then

pausa <= not pausa; -- Inverte o sinal de pausa ao pressionar o botão

end if;

end if;

end process;

led\_pausa <= pausa;

-- Movimento da cobrinha com base em clk2 e pausa

process(clk2)

begin

if rising\_edge(clk2) and pausa = '0' then

cobrinha <= cobrinha + 1;

if cobrinha >= 6 then

cobrinha <= 0;

end if;

end if;

end process;

process(clk)

begin

if rising\_edge(clk) then

if botao\_display='1' then

numero\_display <= numero\_display + 1;

if numero\_display >= 4 then

numero\_display <=0;

end if;

end if;

end if;

end process;

-- Definição do segmento do display baseado no valor de 'cobrinha'

with cobrinha select

segiment <= "1111100" when 0, -- Display 0

"1111001" when 1, -- Display 1

"1110011" when 2, -- Display 2

"1100111" when 3, -- Display 3

"1001111" when 4, -- Display 4

"1011111" when others; -- Display

-- Ativação do display de 7 segmentos

with numero\_display select

an <= "1110" when 0, -- Ativa o display 0

"1101" when 1, -- Ativa o display 1

"1011" when 2, -- Ativa o display 2

"0111" when others; -- Ativa o display 3

end Behavioral;

**Arquivo de Pinagem:**

## Clock input

set\_property -dict { PACKAGE\_PIN W5 IOSTANDARD LVCMOS33 } [get\_ports clk]

## Button input

set\_property -dict { PACKAGE\_PIN T17 IOSTANDARD LVCMOS33 } [get\_ports botao]

set\_property -dict { PACKAGE\_PIN W19 IOSTANDARD LVCMOS33 } [get\_ports botao\_display]

## 7 Segment Display

set\_property -dict { PACKAGE\_PIN W7 IOSTANDARD LVCMOS33 } [get\_ports {segiment[0]}]

set\_property -dict { PACKAGE\_PIN W6 IOSTANDARD LVCMOS33 } [get\_ports {segiment[1]}]

set\_property -dict { PACKAGE\_PIN U8 IOSTANDARD LVCMOS33 } [get\_ports {segiment[2]}]

set\_property -dict { PACKAGE\_PIN V8 IOSTANDARD LVCMOS33 } [get\_ports {segiment[3]}]

set\_property -dict { PACKAGE\_PIN U5 IOSTANDARD LVCMOS33 } [get\_ports {segiment[4]}]

set\_property -dict { PACKAGE\_PIN V5 IOSTANDARD LVCMOS33 } [get\_ports {segiment[5]}]

set\_property -dict { PACKAGE\_PIN U7 IOSTANDARD LVCMOS33 } [get\_ports {segiment[6]}]

## LEDs

set\_property -dict { PACKAGE\_PIN U16 IOSTANDARD LVCMOS33 } [get\_ports led\_pausa]

## Anode control for 7 Segment Display

set\_property -dict { PACKAGE\_PIN U2 IOSTANDARD LVCMOS33 } [get\_ports {an[0]}]

set\_property -dict { PACKAGE\_PIN U4 IOSTANDARD LVCMOS33 } [get\_ports {an[1]}]

set\_property -dict { PACKAGE\_PIN V4 IOSTANDARD LVCMOS33 } [get\_ports {an[2]}]

set\_property -dict { PACKAGE\_PIN W4 IOSTANDARD LVCMOS33 } [get\_ports {an[3]}]

## Configuração de tensão da Basys 3

set\_property CONFIG\_VOLTAGE 3.3 [current\_design]

set\_property CFGBVS VCCO [current\_design]

**Conclusão:**

O projeto do jogo da cobrinha no display de 7 segmentos foi concluído com sucesso, aplicando conceitos de VHDL como multiplexação e controle de hardware.